

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232256

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁶

H 0 1 L 21/301

識別記号

庁内整理番号

F I

H 0 1 L 21/78

技術表示箇所

Q

R

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平8-35902

(22) 出願日 平成8年(1996)2月23日

(71) 出願人 000131430

株式会社シチズン電子

山梨県富士吉田市上暮地1丁目23番1号

(72) 発明者 長山 誠

山梨県富士吉田市上暮地1丁目23番1号

株式会社シチズン電子内

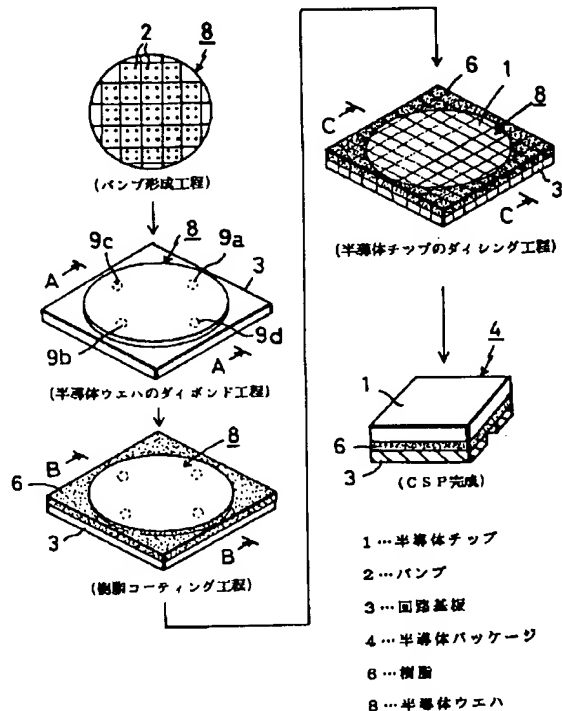
(74) 代理人 弁理士 浅川 哲

(54) 【発明の名称】 チップサイズパッケージの製造方法

(57) 【要約】

【課題】 半導体ウエハ上へのパンプの形成から半導体パッケージの完成までの製造工程を減らすと同時に、ダイボンド工程での位置合わせ等を容易に行えるようにしたチップサイズパッケージの製造方法を提供する。

【解決手段】 半導体ウエハ8上にパンプ2を形成する工程と、このパンプ2によって半導体ウエハ8を回路基板3上にダイボンドする工程と、ダイボンドした半導体ウエハ8と回路基板3との間を樹脂6で封止する工程と、樹脂封止した回路基板3と半導体ウエハ8とを半導体チップ1毎にダイシングする工程とを備えるチップサイズパッケージの製造方法。



1

【特許請求の範囲】

【請求項1】 半導体ウエハ上にバンパを形成する工程と、
このバンパによって半導体ウエハを回路基板上にダイボンドする工程と、
ダイボンドした半導体ウエハと回路基板との間を樹脂封止する工程と、
樹脂封止した回路基板と半導体ウエハとを半導体チップ毎にダイシングする工程とを備えるチップサイズパッケージの製造方法。

【請求項2】 半導体ウエハ上にバンパを形成する工程と、
このバンパによって半導体ウエハを回路基板上にダイボンドする工程と、
回路基板は残してダイボンドした半導体ウエハのみを半導体チップ毎にダイシングする工程と、
回路基板上でダイシングした半導体ウエハと回路基板との間を樹脂封止する工程と、
樹脂封止した回路基板と半導体ウエハとを半導体チップ毎にダイシングする工程とを備えるチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体パッケージの製造方法に係り、特に超小型のチップサイズパッケージの製造方法に関する。

【0002】

【従来の技術】 近年、セット機器の小型化に伴って半導体パッケージの超小型化が益々進み、最近ではバンパ接続技術を用いた所謂チップサイズパッケージ（CSP）が開発されている（エレクトロニクス実装技術 1995(Vol.11 No.3)、及び特開平6-349893号参照）。これは、例えば図10に示したように、半導体チップ1の下面に多数のバンパ2を形成しておき、半導体チップ1をマザーボードに直接マウントしてバンパ2を回路接続するか、もしくは図に示したように、半導体チップ1と同一形状の回路基板3にバンパ2を接続して層状の半導体パッケージ4としておき、回路基板3の下面に設けた電極5をマザーボードに接続するものである。なお、バンパ2によって形成される半導体チップ1と回路基板3との隙間は樹脂6によって封止されている。

【0003】 図11は、上述の構造からなる半導体パッケージ4（CSP）の一製造工程図を示したものである。この製造工程では先ずシリコン等のウエハ上に集積回路を形成して半導体ウエハ8としたのち、その表面にパッシベーション膜を施して集積回路を保護した上で、半導体ウエハ8上に整列した多数のバンパ2を形成する。次の工程では半導体ウエハ8を半導体チップ1毎にダイシングし、更に半導体チップ1を一個ずつ吸着し易いように、エキスパンド工程によって隣接する半導体チ

2

ップ1同士の間隔を空ける。次の工程ではガラスエポキシ又はフィルム等によって形成された回路基板3の所定位置に上記エキスパンドした半導体チップ1を吸着ノズルを用いて一個ずつ配置する。図12に示したように、半導体チップ1はバンパ2を下側に向けて回路基板3に配列され、バンパ2を所定の電子回路上にダイボンディングする。リフロー工程でバンパ2を熔融し、回路基板3上に接合する。次の樹脂コーティング工程は半導体チップ1と回路基板3との隙間を封止するためのものであり、両者間に樹脂6が充填される。樹脂6はキュア炉を通すことで硬化する。最後のダイシング工程ではダイシングマシンによって柵目状に切断し、一個ずつの半導体チップ1とする。この時は回路基板3も半導体チップ1と一緒にダイシングされて、直方体形状の半導体パッケージ4（CSP）が完成する。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の製造方法にあっては、バンパ2の形成から半導体パッケージ4の完成までに6工程を必要とする上、半導体チップ1を一個ずつ回路基板3上に移送し、各々について位置合わせしてからダイボンドしなければならないなど、作業工程が面倒である他、作業時間が掛かってしまうといった問題があった。

【0005】 そこで、本発明は、バンパの形成から半導体パッケージの完成までの製造工程を減らすと同時に、ダイボンド工程での位置合わせ等を容易に行えるようにしたチップサイズパッケージの製造方法を提供するものである。

【0006】

【課題を解決するための手段】 すなわち、上記課題を解決するために、本発明に係るチップサイズパッケージの製造方法は、第1に、半導体ウエハ上にバンパを形成する工程と、このバンパによって半導体ウエハを回路基板上にダイボンドする工程と、ダイボンドした半導体ウエハと回路基板との間を樹脂封止する工程と、樹脂封止した回路基板と半導体ウエハとを半導体チップ毎にダイシングする工程とを備えることを特徴とし、第2に、半導体ウエハ上にバンパを形成する工程と、このバンパによって半導体ウエハを回路基板上にダイボンドする工程と、回路基板は残してダイボンドした半導体ウエハのみを半導体チップ毎にダイシングする工程と、回路基板上でダイシングした半導体ウエハと回路基板との間を樹脂封止する工程と、樹脂封止した回路基板と半導体ウエハとを半導体チップ毎にダイシングする工程とを備えることを特徴とする。

【0007】

【発明の実施の形態】 以下、添付図面に基づいて本発明に係るチップサイズパッケージの製造方法を詳細に説明する。図1は本発明の第一実施例の製造工程を示したものである。先の実施例と同様、先ずシリコン等のウエハ

3

上に集積回路を形成して半導体ウエハ8としたのち、その表面にパッシベーション膜を施して集積回路を保護した上で、半導体ウエハ8上に整列した多数の bumps 2 を形成する。次に上記半導体ウエハ8を裏返して bumps 2 を下側に向け、そのまま回路基板3の上に載置して上下左右の4箇所のポイント9a, 9b, 9c, 9dで位置決めを行なったのちダイボンドする(図2参照)。次にこれをリフローに通して bumps 2 を溶融し、回路基板3上に接合する。次の樹脂コーティング工程は半導体ウエハ8と回路基板3との隙間を封止するためのものである。図3に示したように、両者間の隙間に樹脂6を充填して bumps 2 を封止する。樹脂6はキュア炉に通すことで硬化する。次のダイシング工程ではダイシングマシンによって半導体ウエハ8を柵目状に切断して半導体チップ1毎に分割する。この時、図4に示したように、回路基板3も半導体チップ1と一緒にダイシングされ、直方体形状の半導体パッケージ4(CSP)として完成する。

【0008】このように、上記実施例では従来例と違って半導体ウエハ8の状態では回路基板3上にダイボンドするので、従来のような回路基板3にダイボンドする前に半導体ウエハ8をダイシングする工程及びダイシングした半導体チップ1をエキスパンドする工程を省略することができる。また、ダイボンド工程も従来のような半導体チップ1一個ずつ何回も繰り返して行うのに比べて一回だけで済むので、従来より2工程少ない4工程で製造することができる他、ダイボンド工程における半導体ウエハ8の位置合わせ作業も極めて容易となる。

【0009】図5は本発明の第二実施例における製造工程を示したものである。この実施例では、半導体ウエハ8上に bumps 2 を形成する工程、及び半導体ウエハ8を回路基板3上にダイボンドする工程は、前記第一実施例と同様なので、各工程の詳細な説明は省略する。この実施例では回路基板3上にダイボンドされた半導体ウエハ8に対して、図6に示したように、回路基板3をそのままにして半導体ウエハ8のみをチップ毎にダイシングして柵目状の半導体チップ1とする工程が先の実施例とは異なる。次の樹脂コーティング工程は、前述と同様、半導体ウエハ8と回路基板3との隙間を樹脂封止するためのものであるが、この実施例では図7に示したように、半導体ウエハ8と回路基板3との隙間だけでなく、ダイシングした半導体チップ1同士の隙間にも樹脂6が充填される。キュア炉で樹脂6を硬化させたのち、再度半導体チップ1のダイシングラインに沿って今度は回路基板3も一緒にダイシングし(図8参照)、直方体形状の半導体パッケージ4(CSP)を完成させる。

【0010】このように、第二実施例にあっても、従来例とは異なって半導体ウエハ8の状態では回路基板3上にダイボンドするので、従来のような半導体ウエハ8のダ

4

イシング工程及びエキスパンド工程を省略することができ、従来より1工程少ない5工程で製造することができる他、この実施例では半導体ウエハ8を回路基板3上でダイシングして半導体チップ1にしてから樹脂を充填しているので、樹脂封止がより一層確実になるといった効果がある。また、回路基板3と一緒に切断する二回目のダイシング幅を、半導体ウエハ8だけを切断する一回目のダイシング幅より狭くした場合には、図9に示したように、半導体チップ1の側面周囲に樹脂6を残すことができ、これによって半導体チップ1をより確実に保護できるといった効果がある。

【0011】

【発明の効果】以上説明したように、本発明に係るチップサイズパッケージの製造方法によれば、半導体ウエハの状態では回路基板上にダイボンドするので、ダイボンドする際の回路基板上への位置合わせ作業が、従来のように半導体チップ毎にするのに比べて極めて容易となる。他、従来の製造工程より少ない工程数で製造することができるという効果を奏する。

【0012】また、回路基板上に半導体ウエハをダイボンドしたのち、半導体ウエハだけを柵目状にダイシングして半導体チップとした場合には、樹脂封止がより一層確実なものになるといった効果が得られる。

【図面の簡単な説明】

【図1】本発明の第一実施例に係るチップサイズパッケージの製造工程図である。

【図2】上記図1のA-A線断面図である。

【図3】上記図1のB-B線断面図である。

【図4】上記図1のC-C線断面図である。

【図5】本発明の第二実施例に係るチップサイズパッケージの製造工程図である。

【図6】上記図5のD-D線断面図である。

【図7】上記図5のE-E線断面図である。

【図8】上記図5のF-F線断面図である。

【図9】半導体チップの側面周囲に樹脂を残した場合の図8と同様の断面図である。

【図10】チップサイズパッケージの一例を示す断面図である。

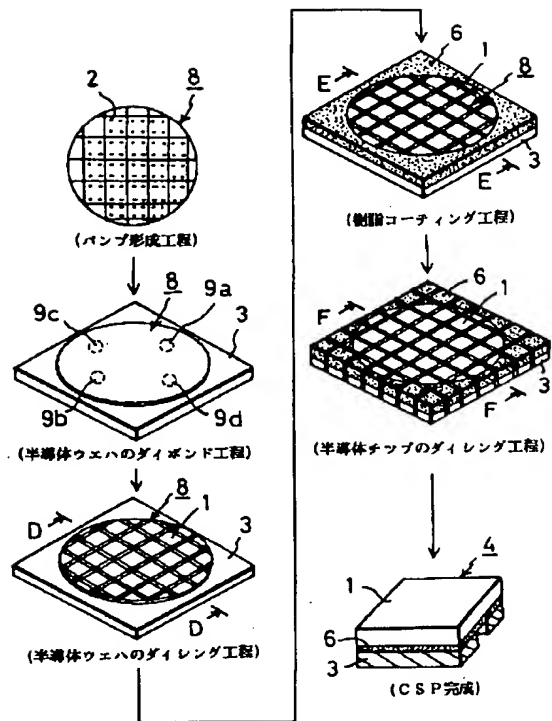
【図11】チップサイズパッケージの従来の製造工程図である。

【図12】上記図11のG-G線断面図である。

【符号の説明】

- 1 半導体チップ
- 2 bumps
- 3 回路基板
- 4 半導体パッケージ
- 6 樹脂
- 8 半導体ウエハ

【図5】



【図11】

